

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-035878

(43)Date of publication of application : 06.02.1990

---

(51)Int.Cl. H04N 5/92

G11B 20/10

H04N 5/782

---

(21)Application number : 63-186304 (71)Applicant : CANON INC

(22)Date of filing : 25.07.1988 (72)Inventor : FUJII AKIO

KASHIDA MOTOICHI

---

#### (54) VIDEO DATA RECORDER

##### (57)Abstract:

PURPOSE: To detect picture switching on an arbitrary track by recording switching data to indicate the presence and absence of the picture switching in the track together with the video data on the respective tracks.

CONSTITUTION: When a system controller 20 detects the ON condition of a pause switch for a consecutive shot by means of an operating part 22 during reproduction, it discriminates whether or not a vertical synchronizing signal exists on the track reproduced at such a time. Thus, after the continuous reproduction to the track where the vertical synchronizing signal exists after even- number fields, the writing of the reproduced data to a RAM and the reading of the reproduced data to a terminal 17 are stopped. Next, when the vertical synchronizing signal after the even-number fields from a terminal 9 is first inputted, the system controller 20 makes the timing into the write starting timing, and controls a memory control circuit 5 so as to write a new picture signal from an offset address into the RAM 7. Further, when the timing for the read data

to reach a switch SW1 arrives, the switch SW1 is switched from a P side to an R side, and the actual recording is started. Thus, the excellent consecutive shot without the disturbance of a picture at a consecutive part can be obtained.

---

LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-35878

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月6日

H 04 N 5/92  
G 11 B 20/10  
H 04 N 5/782

H 7734-5C  
E 7923-5D  
A 7334-5C

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 ビデオデータ記録装置

⑯ 特 願 昭63-186304

⑰ 出 願 昭63(1988)7月25日

⑱ 発 明 者 藤 井 昭 雄 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
⑲ 発 明 者 櫻 田 素 一 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
⑳ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
㉑ 代 理 人 弁理士 丸 島 儀一

明 細 書

〔従来の技術〕

1. 発明の名称

ビデオデータ記録装置

2. 特許請求の範囲

(1) 記録媒体上に多数のトラックを順次形成しつつビデオデータの記録を行う装置であって、各トラックに該トラック中の画面切換の有無を示す切換データをビデオデータと共に記録することを特徴とするビデオデータ記録装置。

(2) 前記記録媒体から再生された前記切換データに基づき、記録開始タイミングを決定する特許請求の範囲第(1)項記載のビデオデータ記録装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はビデオデータ記録装置、特にビデオデータの画面切換位置がトラック毎に一樣でなく、かつ1画面のビデオデータを1トラック以上に亘って記録する装置に好適なビデオデータ記録装置に関する。

第5図は従来の一般的なデジタルビデオテープレコーダ(DVTR)の概略構成を示す図である。

第5図に於いて、まず記録時の動作を説明する。入力画像信号は、A/D変換器30によりデジタルデータに変換され、符号化器31により画像の相関を利用して冗長データの削除を行う。次に、記録媒体に係わる誤り発生対策としての誤り訂正符号(ECC)をECCエンコード回路32で付加し、更に磁気記録再生に適した信号スペクトル分布に成る様にデジタル符号変調33を行う。その後、記録アンプ34、記録ヘッド35を介して磁気テープ36上に記録する。

再生時は磁気テープ36に記録された、ビデオデータを再生ヘッド37、ヘッドアンプ38、デジタル復調器39を通じ再生する。この段階の信号には、先に述べたゴミ、キズ等に因する記録媒体に係わる符号誤りが発生している。そこで、ECCデコード40により、誤り訂正等の処理を行う。次に、同期信号などの冗長情報を付加し、復号化器41によ

り、入力情報をほぼ完全に復元する。最後にD/A変換器42により、入力画像情報と同様の、アナログ画像信号が復元できる。

以上の様な構成によるDVTRが近年多数開発されているが、これらの記録トラックパターンは第6図に示す様に複数トラックで、1画面を構成しているものがほとんどである。例えば、第6図中のトラックT<sub>1</sub>～T<sub>3</sub>に第1フィールド、トラックT<sub>4</sub>～T<sub>6</sub>に第2フィールドのビデオ信号を記録する。

また、1フィールドのビデオ信号に対し形成されるトラック数は必ず整数本となる様構成するのが一般的である。これは、フィールドまたはフレームの切替がどのトラックで行われているかを再生時に検出する必要があるからであり、この情報は再生信号処理を行う場合には必須となる。

〔発明が解決しようとする問題点〕

近年、画像データの高能率符号化の技術がテレビ会議システムやTV電話等の通信分野を中心に急速な勢いで進展している。

まうことになり、この部分を再生した場合に正常な再生が行えなくなる。

かといって、ビデオデータの1フィールド分、1フレーム分を整数本のトラックに必ず記録する様にすれば、例えば1フィールド分のビデオデータをトラック2.1本分に記録できるまで圧縮できたとしても、結局1フィールド分のビデオデータにつき3本のトラックを用意せねばならず高密度記録の妨げになってしまう。

本発明はかかる背景下になされたものであって、ビデオデータの画面切替位置がトラック毎に一樣でなく、かつ1画面分のビデオデータを1トラック以上に亘って記録する装置に於いても、任意のトラックについての画面切替の有無を検出できるビデオデータ記録装置を提供することを目的とする。

〔問題点を解決するための手段〕

かかる目的下に於いて、本発明にあっては記録媒体上に多数のトラックを順次形成しつつビデオデータの記録を行う装置において、各トラックに該トラック中の画面切替の有無を示す切替データ

又、デジタルVTRに対しては、長時間記録化への要求が、高まってきている。

この様な点を考慮すると、通信分野において開発されている画像の高能率符号化技術を応用してDVTRの記録時間を少しでも拡大する事は可能で、今後、さかんに実践されてゆくものと思われる。

しかし、高能率符号化により更に圧縮されたデータを、可能な限り高密度で記録しようとする、記録媒体上に記録されたビデオデータの画面切替位置が記録トラック上で一定とならない場合がある。この場合に於いて、1フィールド分または1フレーム分のビデオデータが1トラック以上のトラックに亘って記録されていれば、あるトラックに於いてフィールドまたはフレームの切替が行われているか否かが判断できなくなる。従って、既に記録が行われている部分に別のデータを記録しようとする際、どのトラックから記録を開始すればよいか判断できない。任意のトラックから記録を開始すると既に記録が行われている1フィールドまたは1フレーム分のビデオ信号の一部だけを消去してし

をビデオデータと共に記録する構成としている。

〔作用〕

上述の如く構成することによって、任意のトラックについて画面切替を検出できる様になり、特に既にデータの記録されている記録媒体に新たなデータを記録しようという場合の記録開始位置の選定を行う場合に望ましいトラックからの記録開始が可能となった。

〔実施例〕

以下本発明を実施例を用いて説明する。

第1図は本発明の一実施例としてのデジタルデータレコーダの概略構成を示す図、第2図は第1図のデジタルデータレコーダ(DDR)に於いてつなぎ撮り時のシステムコントローラを動作を示すフローチャート、第3図(A),(B),(C)は本実施例の記録フォーマットについて説明するための図、第4図は本実施例のメモリ空間を表わす図である。

まず、第1図のDDRの記録時の動作について説明する。第1図中1は記録するデジタル信号の入力端子である。2はクロック発生器であり、該

クロック発生器2によって発生したクロックは、入力データのデータ量に応じてあらかじめ設定された分周比によって分周器4で分周する。メモリ制御回路5はクロック発生器2の出力クロックを書込クロックとして、書込アドレスAD<sub>1</sub>、書込イネーブル信号WEをRAM7に供給する。この様にしてRAM7には入力されたデジタル信号を示すデータが書き込まれていく。

本実施例のデジタルデータレコーダのヘッド構成を180°の位相差をもって回転する2ヘッドよりなるものとし、ヘッドの回転数を4000rpmとし、入力されるデータを垂直同期周波数60Hzの画像データとすると、1垂直同期周期につき各ヘッドは10/9回転する。また、1フィールド分の記録に必要なトラック数は20/9トラックとなる。従って第3図(C)の斜線部で示すように1フィールドで2/9トラックずつ垂直同期の位置がずれていく。従って垂直同期のトラック上の位置は第3図(C)に示すように全部で9通りとなり、さらに偶数フィールド、奇数フィールドの違い(フレーム

の識別)があるのでフレーム同期の識別の種類はf<sub>0</sub>からf<sub>n</sub>までの18通りとなる。また、垂直同期が存在しないトラックもあるので、これを含めると全部で19通りの識別が必要になる。記録時には第1図に於けるドラム制御回路8に於いて、ドラムの回転検出器13の出力する(100/3)Hzの矩形信号を5分周した(20/3)Hzの信号と端子9より入力される入力画像信号の垂直同期信号(60Hz)を9分周した(20/3)Hzの信号との位相が所定の関係になる様制御されており、これに伴い上記9通りの識別で垂直同期信号の位置が特定できる。上記19通りの識別を行う垂直同期識別データは5ビットで表現できる。例えば、最下位ビットの0を偶数フィールド、1を奇数フィールドにあて、残り4ビットを垂直同期の有無、及び垂直同期が存在するときにはどの位置のパターンであるかを情報に割り当ててやればよい。

第3図(A)は本実施例の1トラック分の記録データフォーマットを示し、図中左上より右上方向へ1ラインずつ、上方より下方へデータ列が構成され、

1トラック分のシリアルデータとなる。これを簡単に書き示したのが第3図(B)で、この1トラックのデータ列の左から右の方向が、第3図(C)の各トラックの右下から左上への斜方向と一致する。

この中で第3図(A)に於いて④で示したラインが入力画像データの垂直同期位置とすると図中に示される記録データエリア①、②は第3図(B)、(C)でも同じくエリア①、②に相当する。

第3図(A)に於いて、各1ラインのデータはテープ上では横方向に1/2に分割され、各々サブブロック(Sub Block)0、サブブロック(Sub Block)1としてテープ上のデータ誤りを停止するための誤り訂正符号のバリテイC1が付加される。さらにSub Block0, 1の直前にブロック同期用のランクパターンSyncとIDデータが付加される。また誤り訂正をさらに強化する為に垂直方向に85ラインにつき4ライン分の誤り訂正符号のバリテイC2を付加する。更に、第3図(A)に於いてSUBはサブコードデータであり、このサブコードデータは前述した垂直同期識別データ及び記録

するトラックの通し番号を示すトラック番号データを含むものであり、サブコード、ID付加回路10で前述のIDデータと共に形成される。

メモリ制御回路5はPLL回路6の出力を読出クロックとして読出アドレスAD<sub>2</sub>、読出イネーブル信号REをRAM7に供給する。RAM7から読出されたデータは、前述のC1, C2バリテイSync、IDデータ及びサブコードを付加する誤り訂正符号器(ECC、EN)15、更にはデジタル変調器(MOD)、スイッチのR端子を介してヘッドHa, Hbに供給される。図示の如くヘッドHaとヘッドHbとはドラム回転検出器13の出力により(3/200)秒毎にスイッチSW2により切換られている。

次に再生時の動作について説明する。各ヘッドHa, Hbで再生された再生信号はスイッチSW1のP端子を介してデジタル復調器(DEM)21で復調された後、誤り訂正復号器(ECC、DE)22でC1, C2バリテイによる誤り訂正等が施され、シリアルにRAM7に書き込まれていく。

そして、メモリ制御回路5はクロック発生器2の

出力するクロックにより、読出アドレス  $AD_2$  を、PLL 回路 6 の出力するクロックにより書込アドレス  $AD_1$  を夫々設定して再生ビデオデータの書込、読出を行う。RAM 7 から読出された再生ビデオデータは出力端子 17 から出力されることになる。再生時には、ドラム制御回路 8 はドラム回転検出器 13 の出力する  $(100/3)$  Hz の矩形信号と分周期 4 の出力する  $(100/3)$  Hz の信号とが位相同期する様制御されている。

次に、第 2 図のフローチャートを参照して、本実施例の DDR のつなぎ撮り時の動作について説明する。第 2 図に於いて S1～S17 はステップ番号を示す。

まず、再生中にシステムコントローラ 20 が操作部 22 によるつなぎ撮り用ポーズスイッチのオンを検知すると (S1)、その時再生されているトラックに垂直同期信号が存在するか否かをサブコード、ID 抽出回路 16 により抽出された前述の垂直同期識別データにより識別する (S2)。垂直同期信号が存在する場合はその垂直同期信号が偶数フィールド後のものであるか否かを同様に垂直同期識別データ

により識別する (S3)。S2 に於いて垂直同期信号が存在しないと判定された時、もしくは存在する垂直同期信号が奇数フィールド後のものであると判定された場合には、再生を継続し、次のトラックのビデオデータが再生されるのを待つ (S4)。

この様にして、偶数フィールド後の垂直同期信号が存在するトラックまで再生を継続した後、RAM 7 への再生データの書込及び端子 17 への再生データの読出を停止する (S5)。

第 4 図は RAM 7 のデータ記憶領域を示す図であり、領域 a1～a6 は夫々 1 トラック分のデータの記憶が可能であり、再生時は各領域 a1～a6 の夫々にトラック端部から順に再生データが記憶されていく。RAM 7 の容量は 1 フレームのビデオデータがまたがって記録される可能性のあるトラック数、即ち本実施例では 6 本分用意されている。今、S2、S3 で検出された偶数フィールド後の垂直同期信号が第 3 図 (C) 中のトラック T<sub>22</sub> の④であり、このトラック T<sub>22</sub> からの再生データが RAM 7 の領域 a1 に書込まれていたとすると、第 4 図の領域 a1 には

図示の如く①のフィールドのデータと、②のフィールドのデータとが書込まれることになる。尚、他の領域 a2～a5 にはトラック T<sub>17</sub>～T<sub>21</sub> からの再生データが記憶されている。

この状態で、該トラック T<sub>22</sub> の垂直同期識別データ及びトラック番号がシステムコントローラ 20 に記憶される (S6)。そして、この後システムコントローラ 20 はキャプスタン駆動回路 21 を制御してテープを所定量巻戻してつなぎ撮りの開始を待つ (S7)。前述のつなぎ撮り用ポーズスイッチがオフされると (S8)、再びテープ走行を開始させる (S9)。

この時、システムコントローラ 20 は先に記憶した前述の垂直同期識別データにより、垂直同期信号の位置が判別されているので、第 4 図中 a に示す量オフセットしたアドレスに垂直同期信号の部分が存在していることが分かる。そこでシステムコントローラ 20 はこのオフセットアドレスを書込アドレスの最初のアドレスとする様メモリ制御回路 5 をセットする (S10)。そして、各トラックから

の再生データ中のサブコードに含まれるトラック番号をサブコード、ID 抽出回路 16 で抽出しつつ (S13) テープ走行を行っていく。

システムコントローラ 20 はこの抽出されたトラック番号と分周器 4 から出力される  $(100/3)$  Hz の信号に基づき、トラック T<sub>22</sub> に記録されるデータを RAM 7 から読出すタイミングより 1 フレーム期間早いタイミングを待つ。このタイミングの後、最初に端子 9 から偶数フィールド後の垂直同期信号が入力されると、システムコントローラ 20 はこのタイミングを書込開始タイミングとし (S12)、前述のオフセットアドレスから新たな画像信号を RAM 7 に書込んでいく様メモリ制御回路 5 を制御する (S13)。

この書込開始後 1 フレーム期間以内に読出開始タイミングが到来する。この読出タイミングが検出されたら (S15)、RAM 7 の領域 a1 の先頭のアドレスからデータの読出を開始させる (S16)。更に、この読出されたデータがスイッチ SW1 に到るタイミング、即ちヘッドがトラック T<sub>22</sub> のトレースを開始するタイミングが記録開始タイミングであり、

このタイミングが来たら (S16)、スイッチ SW1 を P 側から R 側に切換え (S17)、実際の記録を開始する。これによって、つなぎ目部分で画像の乱れることのない良好なつなぎ撮りが実現できる。

上述の如き実施例の DDR においては垂直同期識別データにより、各トラック毎に画面の切換の有無を再生時に検出できるので、つなぎ撮りを行う場合にどのトラックから番換えればよいかを検知でき、これに伴って良好なつなぎ撮りが実現できた。

前述の実施例に於いては、記録時の垂直同期信号の位置が 9 通りである場合について述べたが、任意の位置に垂直同期信号が来る DDR であっても、その垂直同期信号の存在するブロックがトラック端から何番目であるかというデータをサブコードデータとして記録しておけば同様に番換えアドレスのオフセット量が規定できるので、同様の手法で良好なつなぎ撮りが実現できる。また、各ブロックの ID データとして該クロックのトラック端からの番号が記録される場合には、各ブロックの ID

データにそのブロックが垂直同期信号から最初のブロックであるか否かを示すデータを 1 ビット加えれば、このブロックのブロック番号を抽出することにより、同様に番換えアドレスのオフセット量の規定が行え、同様に良好なつなぎ撮りが行える。

尚、上記実施例ではトラック毎の画面切換の有無を示すデータを記録開始タイミングの設定に用いる場合の例を説明したが、例えば 2 台の DDR の同期運転も上記データを利用することによって実現できる。

(発明の効果)

以上、説明した様に、本発明のデータ記録装置に於いては、画面切換位置がトラック毎に一律でなく、かつ 1 画面分のビデオデータを 1 トラック以上に亘って記録する装置でありながら、各トラックの画面切換の有無が検出できるので、つなぎ撮り、同期運転等の各種編集が行える様になった。

#### 4. 図面の簡単な説明

第 1 図は本発明の一実施例としてのデータレコーダの構成を示す図、

第 2 図は第 1 図中のシステムコントローラの動作を説明するためのフローチャート、

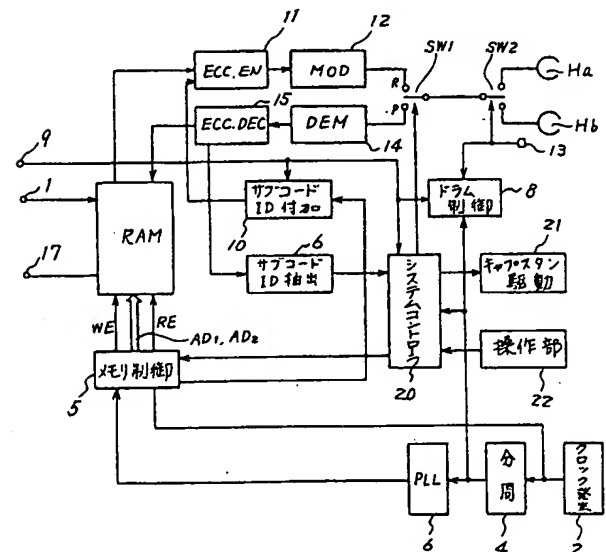
第 3 図 (A)、(B)、(C) は第 1 図のデータレコーダの記録フォーマットについて説明するための図、

第 4 図は第 1 図中の RAM のデータ記憶空間を示す図、

第 5 図は従来の DVTR の一般的な構成を示す図、

第 6 図は第 5 図の DVTR によるテープ上の記録パターンを示す図である。

図中、1 は画像信号入力端子、5 はメモリ制御回路、7 は RAM、9 は垂直同期信号入力端子、10 はサブコード、ID 付加回路、16 は ID ワード抽出回路、20 はシステムコントローラ、21 はキャプスタン制御回路、22 は操作部である。



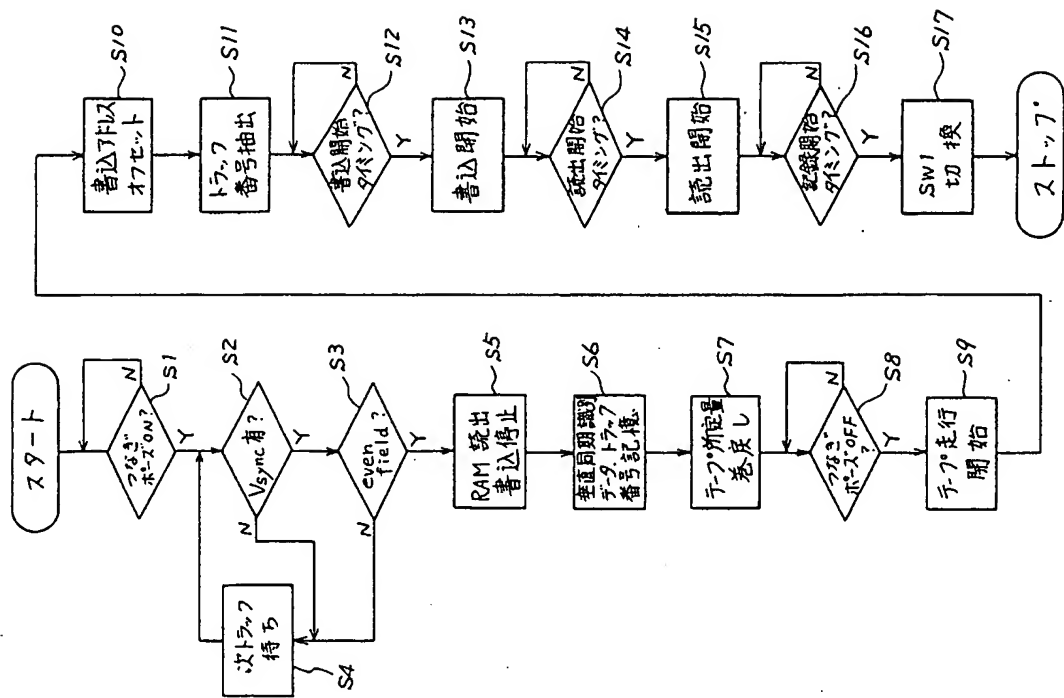
第 1 図

出願人 キヤノン株式会社

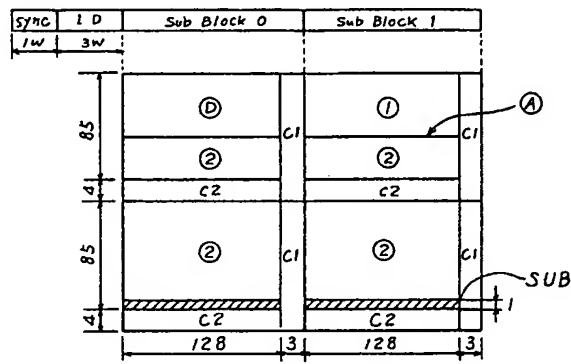
代理人 丸 島 徹 一



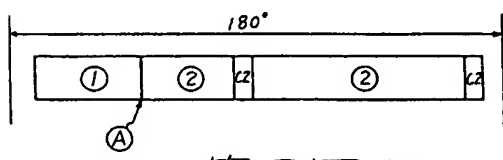




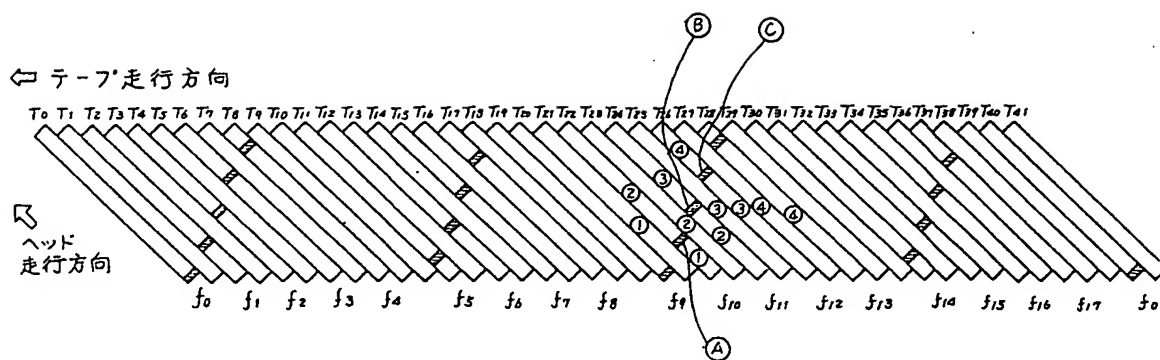
第2図



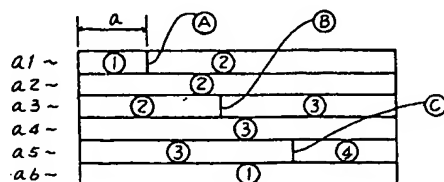
第3図(A)



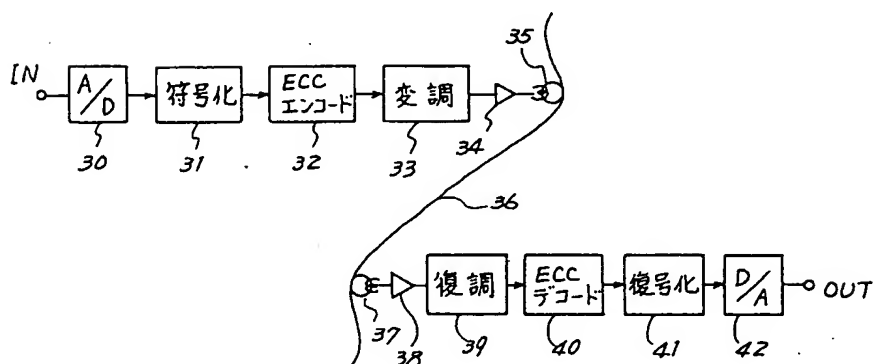
第3図(B)



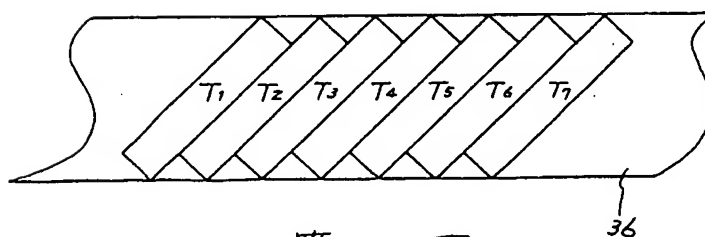
第3図(c)



第4図



第5図



第6図